

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

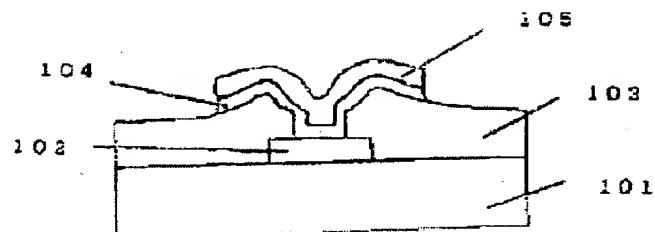
Patent number: JP6204171 Hei 06-204171
Publication date: 1994-07-22
Inventor: ENDO MAMORU
Applicant: SEIKO EPSON CORP
Classification:
- international: H01L21/28; H01L21/3205; H01L21/90; H01L29/62; H01L29/784
- european:
Application number: JP19930001080 19930107
Priority number(s):

[View INPADOC patent family](#)

Abstract of JP6204171

PURPOSE: To reduce wiring resistance at the contact part of a gate electrode wiring layer and a metal wiring layer of an upper part, and improve electromigration resistance of wiring.

CONSTITUTION: The wiring structure of a contact part to a gate electrode wiring layer 102 of a semiconductor device is constituted of the following from the gate electrode wiring layer side 102; a gate electrode wiring layer 103, a TiMoN layer or a TiWN layer 104, and an Al or Al alloy wiring layer 105. When the composition ratio of TiMoN is in the range of Ti:Mo:N=1:1:0.5-1.5, the contact resistance becomes low. In the case of Ti:Mo:N=1:1:0.5-1.5, barrier properties of TiMoN is also enhanced, and reliability of the wiring is improved. In the case of TiWN, similarly, when the composition ratio is in the range of Ti:W:N=1:1:0.5-1.5, the contact resistance becomes low, the barrier properties are enhanced, and the reliability of the wiring is improved.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-204171

(43) 公開日 平成6年(1994)7月22日

(51) Int.Cl. ⁵	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 21/28· 21/3205 21/90	3 0 1 R	7376-4M 7514-4M 7514-4M	H 01 L 21/88	N R

審査請求 未請求 請求項の数8(全5頁) 最終頁に続く

(21) 出願番号 特願平5-1080
(22) 出願日 平成5年(1993)1月7日

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 速藤 守
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

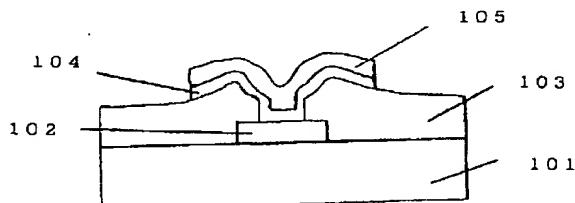
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 ゲート電極配線層と上部の金属配線層とのコンタクト部における配線抵抗を低減し、配線のエレクトロマイグレーション耐性を向上できる半導体装置および製造方法を提供する。

【構成】 半導体装置のゲート電極配線層とのコンタクト部の配線構造において、ゲート電極配線層側から、ゲート電極配線層、T₁M₀N層またはT₁WN層、A₁またはA₁合金配線層によって構成される構造とする。

【効果】 T₁M₀Nの組成比がT₁:M₀:N=1:1:0.5~1.5の領域でコンタクト抵抗が低くなる。また、T₁:M₀:N=1:1:0.5~1.5の組成の場合、T₁M₀Nのバリア性も向上し配線の信頼性が良好となる。T₁WNの場合も同様に、組成比がT₁:W:N=1:1:0.5~1.5の場合がコンタクト抵抗が低くなり、バリア性が向上し配線の信頼性が良好となる。



1

【特許請求の範囲】

【請求項1】ゲート電極配線層とのコンタクト部の配線構造が、ゲート電極配線層側から、ゲート電極配線層、T_iM_oN（チタンモリブデンナイトライド層、A₁または、A₁合金層、あることを特徴とする半導体装置。

【請求項2】前記、T_iM_oN層の組成比がT_i:M_o:N=1:1:0.5~1.5であることを特徴とする請求項1記載の半導体装置。

【請求項3】ゲート電極配線層とのコンタクト部の配線構造が、ゲート電極配線層側から、ゲート電極配線層、T_iWN（チタンタンクステンナイトライド）層、A₁または、A₁合金層、あることを特徴とする半導体装置。

【請求項4】前記、T_iWN層の組成比がT_i:W:N=1:1:0.5~1.5であることを特徴とする請求項3記載の半導体装置。

【請求項5】a) ゲート電極配線層とのコンタクト部にT_iM_oN層を成膜する工程と、

b) 前記、T_iM_oN層を形成したコンタクト部に、A₁または、A₁合金をスパッタ法で成膜する工程と、

c) 前記、T_iM_oN層、A₁または、A₁合金のスパッタ膜を塩素系のガスでドライエッ칭し配線を形成する工程からなることを特徴とする半導体装置の製造方法。

【請求項6】a) ゲート電極配線層とのコンタクト部にT_iWN層を成膜する工程と、

b) 前記、T_iWN層を形成したコンタクト部に、A₁または、A₁合金をスパッタ法で成膜する工程と、

c) 前記、T_iWN層、A₁または、A₁合金のスパッタ膜を塩素系のガスでドライエッ칭し配線を形成する工程からなることを特徴とする半導体装置の製造方法。

【請求項7】前記、T_iM_oN層の組成比がT_i:M_o:N=1:1:0.5~1.5であることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項8】前記、T_iWN層の組成比がT_i:W:N=1:1:0.5~1.5であることを特徴とする請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置のゲート電極配線層とのコンタクト部における配線構造及びその製造方法に関する。

【0002】

【従来の技術】従来の半導体装置のゲート電極配線層と上部配線層とのコンタクト部の構造を、形成工程にそって説明する。従来の半導体装置のゲート電極配線層とのコンタクト部の配線構造は、基本的には、図3のような構造であった。フィールド酸化膜301上にゲート電極

10

20

30

40

50

2

配線層302（モリブデンポリサイド電極または、タンクステンポリサイド電極）を形成した後、層間膜303（シリコン酸化物）を形成し、コンタクトホールを形成した後、コンタクト部に、A₁または、A₁合金の配線層から半導体基板へのA₁の拡散を防止するためのバリアメタルとしてT_iN（チタンナイトライド）層304を、スパッタ法で形成し、その後、その上にA₁または、A₁合金膜305をスパッタ法で形成し、T_iN層304、A₁または、A₁合金層305をドライエッチングして配線層を形成するという方法を用いてきた。

【0003】

【発明が解決しようとする課題】しかし、前述の従来技術では、バリアメタルとしてT_iN層を用いているためにゲート電極配線層（タンクステンポリサイド電極、モリブデンポリサイド電極）とその上部の配線層との接合性に問題があり、ゲート電極配線層と上部配線層とのコンタクト部の配線抵抗が大きく、半導体装置の信頼性の上で大きな問題となる。という課題を有している。そこで本発明はこの様な課題を解決するもので、その目的とするところは、ゲート電極配線層と上部の金属配線層とのコンタクト部における配線抵抗が低抵抗化をはかることを特徴とする半導体装置を提供するところにある。

【0004】

【課題を解決するための手段】本発明の半導体装置は、ゲート電極配線層とのコンタクト部の配線構造が、ゲート電極配線層側から、ゲート電極配線層、T_iM_oN（チタンモリブデンナイトライド）層またはT_iWN（チタンタンクステンナイトライド）層、A₁または、A₁合金層、あることを特徴とする。

【0005】本発明の半導体装置の製造方法は、a) ゲート電極配線層とのコンタクト部にT_iM_oN層またはT_iWN層を成膜する工程と、b) 前記、T_iM_oN層またはT_iWN層を形成したコンタクト部に、A₁または、A₁合金をスパッタ法で成膜する工程と、c) 前記、T_iM_oN層またはT_iWN層、A₁または、A₁合金の2層を塩素系のガスでドライエッ칭し配線を形成する工程からなることを特徴とする。

【0006】他の本発明の半導体装置は、T_iM_oN、T_iWNの組成比は、T_i:M_o:N=1:1:0.5~1.5、T_i:W:N=1:1:0.5~1.5であることを特徴とする。

【0007】

【実施例】本発明の半導体装置は、基本的には、図1に示される構造をしている。

【0008】101はフィールド酸化膜である。102は、ゲート電極層である。ゲート電極層としてはモリブデンポリサイド電極、タンクステンポリサイド電極が用いられている。103は層間膜層でCVD法で形成されたシリコン酸化物で形成されている。104はバリアメタル層で、本発明ではバリアメタルとしてT_iM_oN層

または、TiWN層をもちいている。TiMoNは窒素雰囲気中でTiターゲットとMoターゲットを用いた反応性共スパッタ法か、または窒素雰囲気中においてTiとMo合金ターゲットを用いた反応性スパッタ法を用いて形成する。TiWNもTiMoNと同様にして形成される。105はAlまたは、Al合金配線層でAlまたは、Al合金ターゲットを用いたスパッタ法によって形成される。TiMoN層またはTiWN層104、AlまたはAl合金配線層105の2層の膜が成膜された後、塩素系ガスを用いたドライエッチングにより配線パターンを形成する。

【0009】以下、詳細は、工程を追いかけて説明していく(図2)。

【0010】図2(a)は、ゲート電極配線層202を形成し、層間膜203を形成した後、ゲート電極配線層とのコンタクトホールを形成した後の断面図である。ゲート電極配線層としてはタンクステンポリサイド電極またはタンクステンポリイサイド電極を用いる。層間膜はシリコン酸化物でCVD法によって形成している。

【0011】次に、その上に窒素雰囲気中でTiとMoを反応性共スパッタするかまたは、窒素雰囲気中でTiとMoの合金ターゲットをもちいて反応性スパッタしてパリアメタルTiMoN層または、TiWN層204を形成する。

【0012】次に、Alまたは、Al合金膜205をウエハー全面にスパッタ法で蒸着し、ウエハー全面にレジストを塗布し、配線パターンを露光転写し、現像した後に、塩素系のガスを用いたドライエッチによりTiMoN層またはTiWN層204、AlまたはAl合金205の2層をドライエッチングし、その後レジストを剥離することによって配線層を形成する。

【0013】以上で、本発明の半導体装置が形成される。

【0014】TiMoN層、TiWN層をパリアメタルとして用いることによりゲート電極配線層とパリアメタルとの接合性が良好となり、従来のチタンナインナイトライドを用いた場合と比較してゲート電極配線層とのコンタクト抵抗が約4分の1に低減される。またTiMoN層、TiWN層の下に、Ti(チタン)層を成膜する方法も考えられその場合には、パリアメタルのみの構造と比較してコンタクト抵抗が低減できる。TiMoN層、TiWN層とゲート電極配線層との組み合わせであるがTiMoNとモリブデンポリサイド電極、TiWNとタンクステンポリサイド電極の場合がもっともコンタクト抵抗が低くなる。その他の組み合わせでもTiNを用いた場合よりもコンタクト抵抗は低くなる。図4にTiMoNの組成比とコンタクト抵抗のグラフを示す。TiMoNの組成比をTi:Mo=1:1にして、N(窒素)の組成を変化させた場合のコンタクト抵抗の変化のグラフである。TiMoNの組成比がTi:Mo:N=

1:1:0、5~1.5の領域でコンタクト抵抗が低もっとも低くなる。また、Ti:Mo:N=1:1:0.5~1.5の組成の場合、TiMoNのパリア性も向上し配線の信頼性が良好となる。TiWNの場合もTiMoNの場合と同様に、組成比がTi:W:N=1:1:0.5~1.5の場合がコンタクト抵抗がもっと低く、パリア性が向上し配線の信頼性が良好となる。配線のエレクトロマイグレーション耐性であるが、TiNをパリアメタルとして用いた場合と比較してTiMoN、TiWNをパリアメタルとして用いた場合のほうがAl原子の拡散を効果的に抑制でき配線寿命が増加する。

【0015】

【発明の効果】以上に述べたように本発明によれば、ゲート電極配線層とのコンタクト部におけるコンタクト抵抗を従来のパリアメタルとしてTiNを用いた場合と比較して低減することができる。特にTiMoNの組成比がTi:Mo:N=1:1:0.5~1.5である場合にはさらに低抵抗なコンタクト抵抗がえられる。また、TiWN層を用いた場合も同様の結果がえられる。また、TiNをパリアメタルとして用いた場合と比較してTiMoNまたはTiWNを用いた場合には電流によるAl原子の移動が抑制され配線層のエレクトロマイグレーション耐性が向上する。本発明は以上のような効果を有する。

【図面の簡単な説明】

【図1】本発明の半導体装置のゲート電極配線層とのコンタクト部の構造を示す断面図。

【図2】(a)~(d)は、本発明の半導体装置の製造工程毎の断面図。

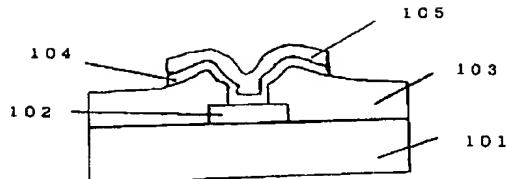
【図3】従来の半導体装置のゲート電極配線層とのコンタクト部の構造を示す断面図。

【図4】ゲート電極配線層とのコンタクト部のコンタクト抵抗のTiMoNの組成比依存性のグラフ。

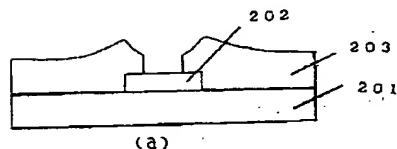
【符号の説明】

- 101・・・フィールド酸化膜
- 102・・・ゲート電極配線層
- 103・・・層間膜層
- 104・・・TiMoN層または、TiWN層
- 105・・・Alまたは、Al合金層
- 201・・・フィールド酸化膜
- 202・・・ゲート電極配線層
- 203・・・層間膜層
- 204・・・TiMoN層または、TiWN層
- 205・・・Alまたは、Al合金層
- 301・・・フィールド酸化膜
- 302・・・ゲート電極配線層
- 303・・・層間膜層
- 304・・・TiN(チタンナイトライド)層
- 305・・・Alまたは、Al合金の配線層

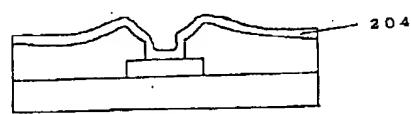
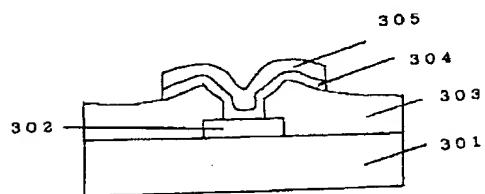
【図1】



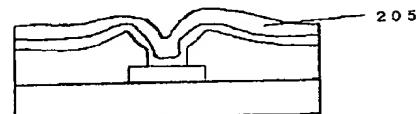
【図2】



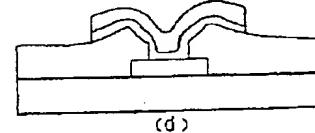
【図3】



(a)



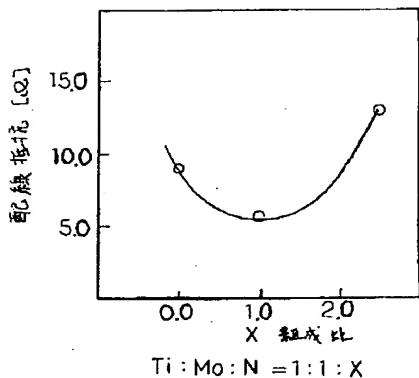
(b)



(c)

(d)

【図4】



フロントページの続き

(51) Int. Cl. ⁵ H 01 L 29/62 29/784	識別記号 G 7376-4M	府内整理番号 F I	技術表示箇所 9054-4M H 01 L 29/78 301 G
--	-------------------	---------------	--------------------------------------

Bibliographic Fields**Document Identity**

(19)【発行国】

日本国特許庁 (JP)

(19) [Publication Office]

Japan Patent Office (JP)

(12)【公報種別】

公開特許公報 (A)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11)【公開番号】

特開平6-204171

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication Hei 6 - 204171

(43)【公開日】

平成6年(1994)7月22日

(43) [Publication Date of Unexamined Application]

1994 (1994) July 22 days

Public Availability

(43)【公開日】

平成6年(1994)7月22日

(43) [Publication Date of Unexamined Application]

1994 (1994) July 22 days

Technical

(54)【発明の名称】

半導体装置及びその製造方法

(54) [Title of Invention]

**SEMICONDUCTOR DEVICE AND ITS
MANUFACTURING METHOD**

(51)【国際特許分類第5版】

H01L 21/28 301 R 7376-4M

(51) [International Patent Classification, 5th Edition]

21/3205

H01L 21/28 301 R 7376-4M

21/90 A 7514-4M

21/3205

29/62 G 7376-4M

21/90 A 751 4- 4M

29/784

29/62 G 7376-4M

【FI】

29/784

H01L 21/88 N 7514-4M

[FI]

R 7514-4M

H01L 21/88 N 751 4- 4M

29/78 301 G 9054-4M

R 751 4- 4M

【請求項の数】

29/78301 G 905 4- 4M

8

[Number of Claims]

【全頁数】

8

5

[Number of Pages in Document]

Filing

【審査請求】

[Request for Examination]

未請求

Unrequested

(21)【出願番号】

(21) [Application Number]

特願平5-1080
 (22)【出願日】
 平成5年(1993)1月7日

Japan Patent Application Hei 5 - 1080
 (22) [Application Date]
 1993 (1993) January 7 days

Parties**Applicants**

(71)【出願人】
 【識別番号】
 000002369
 【氏名又は名称】
 セイコーエプソン株式会社
 【住所又は居所】
 東京都新宿区西新宿2丁目4番1号

(71) [Applicant]
 [Identification Number]
 000002369
 [Name]
 SEIKO EPSON CORP. (DB 69-054-9639)
 [Address]
 Tokyo Prefecture Shinjuku-ku Nishishinjuku 2-Chome 4-1

Inventors

(72)【発明者】
 【氏名】
 遠藤 守
 【住所又は居所】
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) [Inventor]
 [Name]
 Endo Mori
 [Address]
 Inside of Nagano Prefecture Suwa City Yamato 3-3-5 Seiko Epson Corp. (DB 69-054-9639)

Agents

(74)【代理人】
 【弁理士】
 【氏名又は名称】
 鈴木 喜三郎 (外1名)

(74) [Attorney(s) Representing All Applicants]
 [Patent Attorney]
 [Name]
 Suzuki happy Saburo (1 other)

Abstract

(57)【要約】
 【目的】
 ゲート電極配線層と上部の金属配線層とのコンタクト部における配線抵抗を低減し、配線のエレクトロマイグレーション耐性を向上できる半導体装置および製造方法を提供する。

(57) [Abstract]
 [Objective]
 metallization resistor in contact section of gate electrode metallization layer and metal wire layer of upper part is decreased, electromigration resistance of metallization semiconductor device and manufacturing method which it can improve are offered.

【構成】

半導体装置のゲート電極配線層とのコンタクト部の配線構造において、ゲート電極配線層側から、ゲート電極配線層、TiMoN 層または TiWN 層、Al または Al 合金配線層によって構成される構造とする。

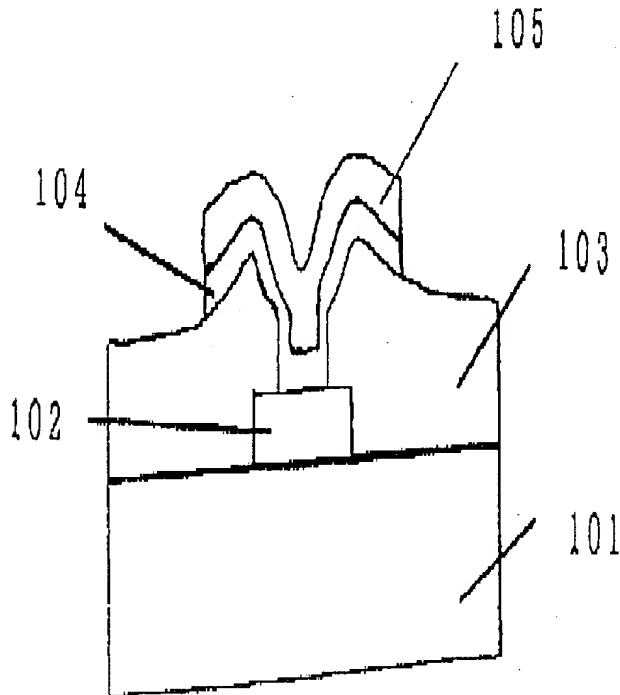
[Constitution]
 In metallization structure of contact section of gate electrode metallization layer of semiconductor device, from gate electrode metallization layer side, it makes structure which configuration is done with gate electrode metallization layer, TiMoN layer or TiWN layer, Al or Al alloy wiring layer .

【効果】

TiMoN の組成比が Ti:Mo:N=1:1:0.5~1.5 の領域でコンタクト抵抗が低くなる。

また、Ti:Mo:N=1:1:0.5~1.5 の組成の場合、TiMoN のバリア性も向上し配線の信頼性が良好となる。

TiWN の場合も同様に、組成比が Ti:W:N=1:1:0.5~1.5 の場合がコンタクト抵抗が低くなり、バリア性が向上し配線の信頼性が良好となる。



Claims

【特許請求の範囲】

【請求項 1】

ゲート電極配線層とのコンタクト部の配線構造が、ゲート電極配線層側から、ゲート電極配線層、TiMoN(チタンモリブデンナイトライド層、Al または、Al 合金層、であることを特徴とする半導体装置。)

【請求項 2】

前記、TiMoN 層の組成比が Ti:Mo:N=1:1:0.5~1.5 であることを特徴とする、請求項 1 記載の半導体装置。

[Effect(s)]

composition ratio of TiMoN contact resistor becomes low with region of the Ti:Mo:N=1:1:0.5~1.5.

In addition, in case of composition of Ti:Mo:N=1:1:0.5~1.5, also barrier property of the TiMoN improves and reliability of metallization becomes satisfactory.

In case of TiWN it becomes in same way, when composition ratio is the Ti:W:N=1:1:0.5~1.5 contact resistor low, barrier property improves and reliability of metallization becomes satisfactory.

[Claim(s)]

[Claim 1]

metallization structure of contact section of gate electrode metallization layer, from gate electrode metallization layer side, gate electrode metallization layer, TiMoN (titanium molybdenum nitride layer, it is a Al or a Al alloy layer, and semiconductor device. which is made feature)

[Claim 2]

Description above, composition ratio of TiMoN layer is Ti:Mo:N=1:1:0.5~1.5, semiconductor device. which makes feature, states in Claim 1

【請求項 3】

ゲート電極配線層とのコンタクト部の配線構造が、ゲート電極配線層側から、ゲート電極配線層、TiWN(チタンタンゲンステンナイトライド)層、Al または、Al 合金層、であることを特徴とする半導体装置。

【請求項 4】

前記、TiWN 層の組成比が Ti:W:N=1:1:0.5~1.5 であることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

- a) ゲート電極配線層とのコンタクト部に TiMoN 層を成膜する工程と、
- b) 前記、TiMoN 層を形成したコンタクト部に、Al または、Al 合金をスパッタ法で成膜する工程と、
- c) 前記、TiMoN 層、Al または、Al 合金のスパッタ膜を塩素系のガスでドライエッチングし配線を形成する工程からなることを特徴とする半導体装置の製造方法。

【請求項 6】

- a) ゲート電極配線層とのコンタクト部に TiWN 層を成膜する工程と、
- b) 前記、TiWN 層を形成したコンタクト部に、Al または、Al 合金をスパッタ法で成膜する工程と、
- c) 前記、TiWN 層、Al または、Al 合金のスパッタ膜を塩素系のガスでドライエッチングし配線を形成する工程からなることを特徴とする半導体装置の製造方法。

【請求項 7】

前記、TiMoN 層の組成比が Ti:Mo:N=1:1:0.5~1.5 であることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 8】

前記、TiWN 層の組成比が Ti:W:N=1:1:0.5~1.5 であることを特徴とする請求項 6 記載の半導体装置の製造方法。

Specification

【発明の詳細な説明】

[0001]

[Claim 3]

metallization structure of contact section of gate electrode metallization layer, from gate electrode metallization layer side, gate electrode metallization layer, TiWN (titanium tungsten nitride)layer, is Al or Al alloy layer, and semiconductor device. which is made feature

[Claim 4]

Description above, composition ratio of TiWN layer is Ti:W:N=1:1:0.5~1.5 and semiconductor device. which is stated in Claim 3 which is made feature

[Claim 5]

In contact section of a)gate electrode metallization layer step. which TiMoN layer film formation is done

b) description above, in contact section which formed TiMoN layer, Al or Al alloy with sputtering method film formation step. which is done

manufacturing method. of semiconductor device where c) description above, dry etching it does sputtered film of TiMoN layer, Al or Al alloy with gas of chlorine type and consists of step which forms metallization and makes feature

[Claim 6]

In contact section of a)gate electrode metallization layer step. which TiWN layer film formation is done

b) description above, in contact section which formed TiWN layer, Al or Al alloy with sputtering method film formation step. which is done

manufacturing method. of semiconductor device where c) description above, dry etching it does sputtered film of TiWN layer, Al or Al alloy with gas of chlorine type and consists of step which forms metallization and makes feature

[Claim 7]

Description above, composition ratio of TiMoN layer is Ti:Mo:N=1:1:0.5~1.5 and manufacturing method. of semiconductor device which is stated in Claim 5 which is made feature

[Claim 8]

Description above, composition ratio of TiWN layer is Ti:W:N=1:1:0.5~1.5 and manufacturing method. of semiconductor device which is stated in Claim 6 which is made feature

[Description of the Invention]

[0001]

【産業上の利用分野】

本発明は、半導体装置のゲート電極配線層とのコンタクト部における配線構造及びその製造方法に関する。

【0002】**【従来の技術】**

従来の半導体装置のゲート電極配線層と上部配線層とのコンタクト部の構造を、形成工程にそって説明する。

従来の半導体装置のゲート電極配線層とのコンタクト部の配線構造は、基本的には、図3のような構造であった。

フィールド酸化膜301 上にゲート電極配線層302(モリブデンポリサイド電極または、タンゲスタンポリサイド電極)を形成した後、層間膜303(シリコン酸化物)を形成し、コンタクトホールを形成した後、コンタクト部に、Alまたは、Al合金の配線層から半導体基板へのAlの拡散を防止するためのバリアメタルとしてTiN(チタンナイトライド)層304を、スパッタ法で形成し、その後、その上にAlまたは、Al合金膜305をスパッタ法で形成し、TiN層304、Alまたは、Al合金層305をドライエッチングして配線層を形成するという方法を用いてきた。

【0003】**【発明が解決しようとする課題】**

しかし、前述の従来技術では、バリアメタルとしてTiN層を用いているためにゲート電極配線層(タンゲスタンポリサイド電極、モリブデンポリサイド電極)とその上部の配線層との接合性に問題があり、ゲート電極配線層と上部配線層とのコンタクト部の配線抵抗が大きく、半導体装置の信頼性の上で大きな問題となる。

という課題を有している。

そこで本発明はこの様な課題を解決するもので、その目的とするところは、ゲート電極配線層と上部の金属配線層とのコンタクト部における配線抵抗が低抵抗化をはかることを特徴とする半導体装置を提供するところにある。

【0004】**【課題を解決するための手段】**

本発明の半導体装置は、ゲート電極配線層とのコンタクト部の配線構造が、ゲート電極配線層側から、ゲート電極配線層、TiMoN(チタンモリ

[Field of Industrial Application]

As for this invention, it regards metallization structure and its manufacturing method in contact section of gate electrode metallization layer of semiconductor device.

【0002】**[Prior Art]**

You explain complying structure of contact section of gate electrode metallization layer and upper part wiring layer of conventional semiconductor device, with formation process.

metallization structure of contact section of gate electrode metallization layer of conventional semiconductor device, was the structure like Figure 3 in basic .

After forming gate electrode metallization layer 302 (molybdenum poly side electrode or tungsten poly side electrode) on field oxide film 301, interlayer film 303 (silicon oxide) is formed, afterforming contact hole, in contact section, TiN (titanium nitride) layer 304, is formedwith sputtering method as barrier metal in order to prevent scattering of Al to semiconductor substrate from wiring layer of Al or Al alloy, after that, onthat Al or Al alloy film 305 are formed with sputtering method, dry etching doing TiN layer 304、 Al or Al alloy layer 305, it used method that forms wiring layer.

【0003】**[Problems to be Solved by the Invention]**

But, with aforementioned Prior Art, because TiN layer is used as the barrier metal gate electrode metallization layer (tungsten poly side electrode、 molybdenum poly side electrode) with there is a problem in joining property of wiring layer of upper part, it becomes problem to which metallization resistor of contact section of gate electrode metallization layer and upper part wiring layer is large, is large on reliability of semiconductor device.

With it has possessed problem which is said.

Then as for this invention being something which solves this kind of problem,as for purpose, there is about semiconductor device where metallization resistor in the contact section of metal wire layer of gate electrode metallization layer and upper part measures the resistance-lowering and makes feature is offered.

【0004】**[Means to Solve the Problems]**

As for semiconductor device of this invention, metallization structure of contact section of the gate electrode metallization layer, from gate electrode metallization layer side, gate

ブデンナイトライド)層または TiWN(チタンタングステンナイトライド)層、Al または、Al 合金層、であることを特徴とする。

【0005】

本発明の半導体装置の製造方法は、a)ゲート電極配線層とのコンタクト部に TiMoN 層または TiWN 層を成膜する工程と、b)前記、TiMoN 層または TiWN 層を形成したコンタクト部に、Al または、Al 合金をスパッタ法で成膜する工程と、c)前記、TiMoN 層または TiWN 層、Al または、Al 合金の 2 層を塩素系のガスでドライエッ칭し配線を形成する工程からなることを特徴とする。

【0006】

他の本発明の半導体装置は、TiMoN、TiWN の組成比は、 $Ti:Mo:N=1:1:0.5\sim1.5$ 、 $Ti:W:N=1:1:0.5\sim1.5$ であることを特徴とする。

【0007】

【実施例】

本発明の半導体装置は、基本的には、図 1 に示される構造をしている。

【0008】

101 はフィールド酸化膜である。

102 は、ゲート電極層である。

ゲート電極層としてはモリブデンポリサイド電極、タングステンポリサイド電極が用いられている。

103 は層間膜層で CVD 法で形成されたシリコン酸化物で形成されている。

104 はバリアメタル層で、本発明ではバリアメタルとして TiMoN 層または、TiWN 層をもちいている。

TiMoN は窒素雰囲気中で Ti ターゲットと Mo ターゲットを用いた反応性共スパッタ法か、または窒素雰囲気中において Ti と Mo 合金ターゲットを用いた反応性スパッタ法を用いて形成する。

TiWN も TiMoN と同様にして形成される。

105 は Al または、Al 合金配線層で Al または、Al 合金ターゲットを用いたスパッタ法によって形成される。

TiMoN 層または TiWN 層 104、Al または Al 合金配線層 105 の 2 層の膜が成膜された後、塩素系ガスを用いたドライエッ칭によりの配線パ

electrode metallization layer、TiMoN (titanium molybdenum nitride) layer or TiWN (titanium tungsten nitride) layer, is Al or Al alloy layer, it makes feature.

【0005】

As for manufacturing method of semiconductor device of this invention, in contact section of a)gate electrode metallization layer step. b) description above which TiMoN layer or TiWN layer the film formation is done, in contact section which formed TiMoN layer or the TiWN layer, Al or Al alloy with sputtering method film formation step. c) description above which is done, TiMoN layer or TiWN layer, Al or, dry etching it does 2 layers of Al alloy with gas of chlorine type andit consists of step which forms metallization, it makesfeature.

【0006】

As for semiconductor device of other this invention, as for composition ratio of TiMoN、TiWN, itis a $Ti:Mo:N=1:1:0.5\sim1.5$ 、 $Ti:W:N=1:1:0.5\sim1.5$, it makes feature.

【0007】

【Working Example(s)】

semiconductor device of this invention, has done structure which is shown in Figure 1 in basic .

【0008】

101 is field oxide film.

102 is gate electrode layer.

molybdenum poly side electrode、 tungsten poly side electrode is used as gate electrode layer.

103 is formed with silicon oxide which at interlayer film layer was formed with the CVD method.

104 at barrier metal layer, with this invention has used TiMoN layer or TiWN layer as barrier metal.

It forms TiMoN making use of reactive sputtering method which uses Ti and Moalloy target also reactivity which uses Titarget and Motarget in the nitrogen atmosphere sputtering method, or in in nitrogen atmosphere.

It is formed TiWN in same way as TiMoN.

105 is formed with sputtering method which uses Al or Al alloy target with Al or Al alloy wiring layer.

film of 2 layers of TiMoN layer or TiWN layer 104、 Al or Al alloy wiring layer 105 film formation after being done, forms wiring pattern of depending on dry etching which uses

ターンを形成する。

[0009]

以下、詳細は、工程を追いながら、説明していく(図2)。

[0010]

図2(a)は、ゲート電極配線層202を形成し、層間膜203を形成した後、ゲート電極配線層とのコンタクトホールを形成した後の断面図である。

ゲート電極配線層としてはタンクスチンポリサイド電極またはタンクスチンポリサイド電極を用いる。

層間膜はシリコン酸化物でCVD法によって形成している。

[0011]

次に、その上に窒素雰囲気中でTiとMoを反応性共スパッタするかまたは、窒素雰囲気中でTiとMoの合金ターゲットをもちいて反応性スパッタしてバリアメタルToMoN層または、TiWN層204を形成する。

[0012]

次に、Alまたは、Al合金膜205をウエハー全面にスパッタ法で蒸着し、ウエハー全面にレジストを塗布し、配線パターンを露光転写し、現像した後に、塩素系のガスを用いたドライエッチによりTiMoN層またはTiWN層204、AlまたはAl合金205の2層をドライエッチングし、その後レジストを剥離することによって配線層を形成する。

[0013]

以上で、本発明の半導体装置が形成される。

[0014]

TiMoN層、TiWN層をバリアメタルとして用いることによりゲート電極配線層とバリアメタルとの接合性が良好となり、従来のチタンナインナイトライドを用いた場合と比較してゲート電極配線層とのコンタクト抵抗が約4分の1に低減される。

またTiMoN層、TiWN層の下に、Ti(チタン)層を成膜する方法も考えられその場合には、バリアメタルのみの構造と比較してコンタクト抵抗が低減できる。

TiMoN層、TiWN層とゲート電極配線層との組み合わせであるがTiMoNとモリブデンポリサイド電極、TiWNとタンクスチンポリサイド電極の場合がもっともコンタクト抵抗が低くなる。

chlorine gas.

[0009]

Below, while chasing step, you explain details, (Figure 2).

[0010]

After Figure 2 (a) formed gate electrode metallization layer 202, forming interlayer film 203, after forming contact hole of gate electrode metallization layer, it is a sectional view.

tungsten poly side electrode or tungsten jp9 side electrode is used jauntily as gate electrode metallization layer.

With silicon oxide it forms interlayer film with CVD method.

[0011]

Next, on that also reactivity sputter does Ti and Mo in nitrogen atmosphere, or, reactive sputtering does in nitrogen atmosphere making use of alloy target of Ti and Mo and forms barrier metal ToMoN layer or TiWN layer 204.

[0012]

Next, in wafer entire surface vapor deposition it does Al or Al alloy film 205 with the sputtering method, application does resist in wafer entire surface, exposure transfer does the wiring pattern, after developing, dry etching it does 2 layers of TiMoN layer or the TiWN layer 204、Al or Al alloy 205 with dry etching which uses gas of chlorine type, after that resist peels off wiring layer is formed with.

[0013]

At above, semiconductor device of this invention is formed.

[0014]

joining property of gate electrode metallization layer and barrier metal becomes satisfactory TiMoN layer、TiWN layer as barrier metal by using, contact resistor of gate electrode metallization layer is decreased inapproximately 1/4 by comparison with case where conventional titanium + inner I try D is used.

In addition under TiMoN layer、TiWN layer, film formation is done also method which can think of Ti (titanium) layer and in that case, can decrease contact resistor by comparison with structure only of barrier metal.

It is a combination with TiMoN layer、TiWN layer and gate electrode metallization layer, but in case of the TiMoN and molybdenum poly side electrode、TiWN and tungsten poly side electrode most contact resistor it becomes low.

その他の組み合わせでも TiN を用いた場合よりもコンタクト抵抗は低くなる。

図 4 に TiMoN の組成比とコンタクト抵抗のグラフを示す。

TiMoN の組成比を Ti:Mo=1:1 にして、N(窒素)の組成を変化させた場合のコンタクト抵抗の変化のグラフである。

TiMoN の組成比が Ti:Mo:N=1:1:0.5~1.5 の領域でコンタクト抵抗が低もとも低くなる。

また、Ti:Mo:N=1:1:0.5~1.5 の組成の場合、TiMoN のバリア性も向上し配線の信頼性が良好となる。

TiWN の場合も TiMoN の場合と同様に、組成比が Ti:W:N=1:1:0.5~1.5 の場合がコンタクト抵抗がもっと低く、バリア性が向上し配線の信頼性が良好となる。

配線のエレクトロマイグレーション耐性であるが、TiN をバリアメタルとして用いた場合と比較して TiMoN、TiWN をバリアメタルとして用いた場合のほうが Al 原子の拡散を効果的に抑制でき配線寿命が増加する。

[0015]

【発明の効果】

以上に述べたように本発明によれば、ゲート電極配線層とのコンタクト部におけるコンタクト抵抗を従来のバリアメタルとして TiN を用いた場合と比較して低減することができる。

特に TiMoN の組成比が Ti:Mo:N=1:1:0.5~1.5 である場合にはさらに低抵抗なコンタクト抵抗がえられる。

また、TiWN 層を用いた場合も同様の結果がえられる。

また、TiN をバリアメタルとして用いた場合と比較して TiMoN または TiWN を用いた場合には電流による Al 原子の移動が抑制され配線層のエレクトロマイグレーション耐性が向上する。

本発明は以上のような効果を有する。

【図面の簡単な説明】

【図1】

本発明の半導体装置のゲート電極配線層とのコンタクト部の構造を示す断面図。

contact resistor becomes low in comparison with when TiN is used evenwith other combinations.

composition ratio of TiMoN and graph of contact resistor are shown in the Figure 4.

With composition ratio of TiMoN as Ti:Mo=1:1, composition of N (nitrogen) itis a graph of change of contact resistor when it changes.

composition ratio of TiMoN contact resistor low becomes lowest with region of Ti:Mo:N=1:1:0.5~1.5.

In addition, in case of composition of Ti:Mo:N=1:1:0.5~1.5, also barrier property of the TiMoN improves and reliability of metallization becomes satisfactory.

In case of TiWN in same way as case of TiMoN, when composition ratio is Ti:W:N=1:1:0.5~1.5 contact resistor it becomes lower, barrier property improvesand reliability of metallization with satisfactory.

It is a electromigration resistance of metallization, but TiN as barrier metal by comparisonwith case where it uses it uses TiMoN、TiWN as barrier metal when beable to control scattering of Al atom in effective, metallization lifetime increases.

[0015]

[Effects of the Invention]

As expressed above, according to this invention, it is possible to decreaseby comparison with case where TiN is used with contact resistor in contact section of gate electrode metallization layer as conventional barrier metal.

Especially, when composition ratio of TiMoN is Ti:Mo:N=1:1:0.5~1.5, furthermore youcan obtain low resistance contact resistor.

In addition, when TiWN layer is used, you can obtain similar result.

In addition, when TiMoN or TiWN is used TiN as the barrier metal by comparison with case where it uses movement of Al atom is controloed with current and electromigration resistance of wiring layer improves.

this invention like above has effect.

[Brief Explanation of the Drawing(s)]

[Figure 1]

sectional view. which shows structure of contact section of gate electrode metallization layer of semiconductor device of this invention

【図2】

(a)~(d)は、本発明の半導体装置の製造工程毎の断面図。

【図3】

従来の半導体装置のゲート電極配線層とのコンタクト部の構造を示す断面図。

【図4】

ゲート電極配線層とのコンタクト部のコンタクト抵抗のTiMoNの組成比依存性のグラフ。

【符号の説明】

101	フィールド酸化膜
102	ゲート電極配線層
103	層間膜層
104	層または、TiWN層
105	または、Al合金層
201	フィールド酸化膜
202	ゲート電極配線層
203	層間膜層
204	層または、TiWN層
205	または、Al合金層
301	フィールド酸化膜
302	ゲート電極配線層
303	

[Figure 2]

(a) - As for (d), sectional view. every of production step of semiconductor device of this invention

[Figure 3]

sectional view. which shows structure of contact section of gate electrode metallization layer of conventional semiconductor device

[Figure 4]

graph. of composition ratio dependency of TiMoN contact resistor of contact section of gate electrode metallization layer

[Explanation of Symbols in Drawings]

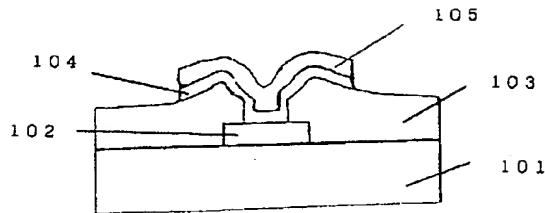
101	field oxide film
102	gate electrode metallization layer
103	interlayer film layer
104	Layer or TiWN layer
105	Or, Al alloy layer
201	field oxide film
202	gate electrode metallization layer
203	interlayer film layer
204	Layer or TiWN layer
205	Or, Al alloy layer
301	field oxide film
302	gate electrode metallization layer
303	

層間膜層	interlayer film layer
304	304
層	Layer
305	305
または、Al 合金の配線層	Or, wiring layer of Al alloy
Al	Al
または、Al 合金層	Or, Al alloy layer
Al	Al
または、Al 合金層	Or, Al alloy layer
Al	Al
または、Al 合金の配線層	Or, wiring layer of Al alloy
TiMoN	TiMoN
層または、TiWN 層	Layer or TiWN layer
TiMoN	TiMoN
層または、TiWN 層	Layer or TiWN layer
TiN(チタンナイトライド)	TiN (titanium nitride)
層	Layer

Drawings

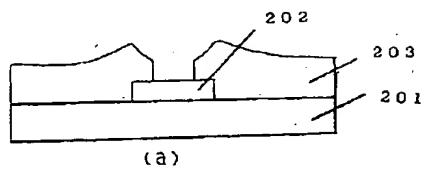
【図1】

[Figure 1]

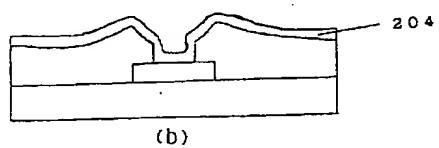


【図2】

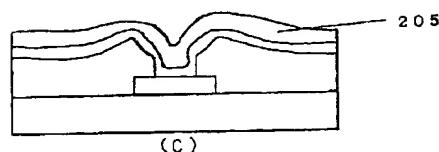
[Figure 2]



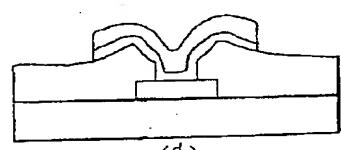
(a)



(b)



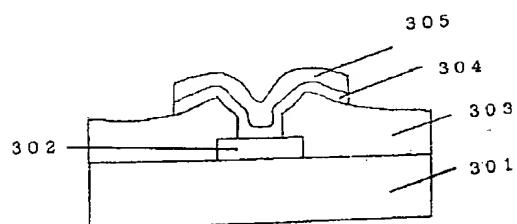
(c)



(d)

【図3】

[Figure 3]

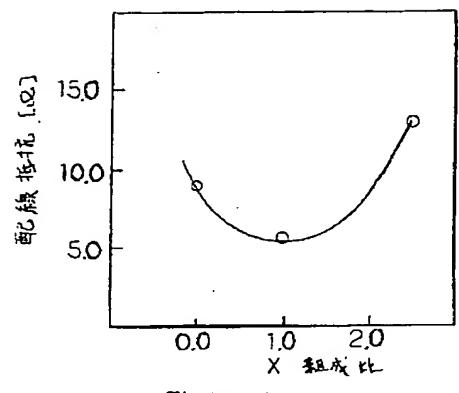


【図4】

[Figure 4]

JP1994204171A

1994-7-22



Ti : Mo : N = 1 : 1 : X